



H-1135

Isu

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: R. TAKANO, et al

Serial No.: 10/808,318

Filing Date: March 25, 2004

For: WIRELESS COMMUNICATION SYSTEM AND COMMUNICATION
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Art Unit: 2611

Examiner: J. P. Tu

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

June 12, 2007

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, applicants hereby claim
the right of priority based on:

Japanese Application No. 2003-087238
Filed: March 27, 2003

A Certified copy of said application document is attached hereto.

Acknowledgement thereof is respectfully requested.

Respectfully submitted,

Carl I. Brundidge
Registration No. 29,621
MATTINGLY, STANGER, MALUR & BRUNDIDGE, P.C.

CIB/jdc
Enclosures
703/684-1120

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 8 7 2 3 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 8 7 2 3 8]

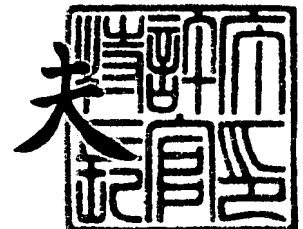
出 願 人 株式会社ルネサステクノロジ
Applicant(s):

USSN 10/808,318
MATTINGLY, STANGER & MALUR & Brundidge, P.C.
(703) 684-1120
DKT: H-1135

2 0 0 4 年 4 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 H03001041

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00
H04N 11/04

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 高野 亮一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 日笠 和彦

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 豊田 研次

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 岡田 和久

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 無線通信システムおよび通信用半導体集積回路

【特許請求の範囲】

【請求項 1】 少なくともインダクタンス素子を除く構成素子が半導体チップ上に形成された送信用発振器と、該送信用発振器で生成された信号を出力する第 1 の外部端子と、基準信号とフィードバック信号の位相を比較して位相差に応じて前記送信用発振器を制御する位相検出回路と、外部から供給される信号を受ける第 2 の外部端子と、該第 2 の外部端子に入力された信号と所定の周波数の信号との合成を行なう信号合成回路とを有する通信用半導体集積回路であって、

前記信号合成回路は、一对の差動入力端子を有する差動型回路で構成され、該信号合成回路の一方の差動入力端子と前記第 2 の外部端子との間には該第 2 の外部端子へ入力された信号を減衰して伝達する減衰手段が設けられ、前記信号合成回路の他方の差動入力端子は前記減衰手段を構成する素子と同一の素子を介して第 3 の外部端子に接続されていることを特徴とする通信用半導体集積回路。

【請求項 2】 前記第 3 の外部端子は、外部から有意な信号が入力されず、また内部から有意な信号を出力しないようにされた端子であることを特徴とする請求項 1 に記載の通信用半導体集積回路。

【請求項 3】 前記第 2 の外部端子に入力され前記信号合成回路により前記所定の周波数の信号と合成されて生成された信号が、前記フィードバック信号として前記位相検出回路へ供給可能に構成されていることを特徴とする請求項 1 または 2 に記載の通信用半導体集積回路。

【請求項 4】 前記第 2 の外部端子に入力され前記信号合成回路により前記所定の周波数の信号と合成されて生成された信号と前記基準信号の振幅を比較し振幅差に応じた信号を生成する振幅検出回路と、該振幅検出回路の出力に応じた電圧を出力する第 4 の外部端子を有することを特徴とする請求項 1 から 3 のいずれかに記載の通信用半導体集積回路。

【請求項 5】 前記信号合成回路はバイポーラ・トランジスタからなるギルバートセルにより構成され、前記第 2 の外部端子へ入力された信号は前記減衰手段を介して前記ギルバートセルの下段の差動入力トランジスタの一方のエミッタ

端子に入力され、前記第3の外部端子は前記減衰手段を構成する素子と同一の素子を介して前記ギルバートセルの下段の差動入力トランジスタの他方のエミッタ端子に接続されていることを特徴とする請求項1から4のいずれかに記載の通信用半導体集積回路。

【請求項6】 前記信号合成回路は、前記第2の外部端子に入力された信号の周波数と前記所定の周波数の信号の周波数との差に相当する周波数の信号を生成するミキサ回路であることを特徴とする請求項1から5のいずれかに記載の通信用半導体集積回路。

【請求項7】 前記所定の周波数の信号を生成する発振器と、該発振器により生成された信号と前記送信用発振器により生成された信号とを合成しそれらの信号の周波数差に相当する周波数成分を有する信号を生成する第2ミキサ回路とをさらに備え、該第2ミキサ回路の出力信号が前記位相検出回路に供給されるように構成されていることを特徴とする請求項1から6のいずれかに記載の通信用半導体集積回路。

【請求項8】 前記第2ミキサ回路の出力信号または前記第2の外部端子に入力され前記信号合成回路により前記所定の周波数の信号と合成されて生成された信号のいずれかを選択して前記位相検出回路に供給する切替え手段を有することを特徴とする請求項7に記載の通信用半導体集積回路。

【請求項9】 少なくともインダクタンス素子を除く構成素子が半導体チップ上に形成された送信用発振器と、該送信用発振器で生成された信号を出力する第1の外部端子と、基準信号とフィードバック信号の位相を比較して位相差に応じて前記送信用発振器を制御する位相検出回路と、外部から供給される信号を受ける第2の外部端子と、該第2の外部端子に入力された信号と所定の周波数の信号との合成を行なう信号合成回路と、該信号合成回路により合成された信号と前記基準信号とフィードバック信号の振幅を比較して振幅差を検出する振幅検出回路と、検出された振幅差に応じた電圧を生成する電圧生成手段と、生成された電圧を出力する第3の外部端子とを有する通信用半導体集積回路と、

前記第1の外部端子より出力された信号を、前記第3の外部端子より出力された電圧に応じた利得で増幅して出力する電力増幅回路と、

該電力増幅回路の出力を検出する出力検出手段と、

該出力検出手段により検出された信号を減衰して前記第 2 の外部端子に入力する減衰手段とを備え、

前記減衰手段は、前記電力増幅回路が最小出力レベルで動作している時に前記第 2 の外部端子へ入力される検出信号のレベルが、前記第 1 の外部端子から前記第 2 の外部端子へ飛び込むノイズのレベルよりも高くなるように、その減衰量が設定されていることを特徴とする無線通信システム。

【請求項 1 0】 前記信号合成回路は、一対の差動入力端子を有する差動型回路で構成され、該信号合成回路の一方の差動入力端子と前記第 2 の外部端子との間には該第 2 の外部端子へ入力された信号を減衰して伝達する減衰手段が設けられ、前記信号合成回路の他方の差動入力端子は前記減衰手段を構成する素子と同一の素子を介して第 4 の外部端子に接続され、

前記第 4 の外部端子と前記通信用半導体集積回路の外部の定電圧端子との間には抵抗素子が接続されていることを特徴とする請求項 8 に記載の無線通信システム。

【請求項 1 1】 送信データに応じた I，Q 信号を生成して出力するベースバンド回路をさらに備え、

前記通信用半導体集積回路は、前記ベースバンド回路から供給される I，Q 信号により直交変調を行なう変調回路を備え、該変調回路により変調された信号が前記基準信号として前記位相検出回路および振幅検出回路へ供給されるように構成されていることを特徴とする請求項 8 または 9 に記載の無線通信システム。

【請求項 1 2】 少なくともインダクタンス素子を除く構成素子が半導体チップ上に形成された送信用発振器と、該送信用発振器で生成された信号を出力する第 1 の外部端子と、基準信号とフィードバック信号の位相を比較して位相差に応じて前記送信用発振器を制御する位相検出回路と、外部から供給される信号を受ける第 2 の外部端子と、該第 2 の外部端子に入力された信号と所定の周波数の信号との合成を行なう信号合成回路とを有する通信用半導体集積回路であって、

前記信号合成回路は、一対の差動入力端子を有する差動型回路を具備し、該信号合成回路の一方の差動入力端子と前記第 2 の外部端子との間には第 1 の減衰手

段が設けられ、前記信号合成回路の他方の差動入力端子と所定の電位が供給される第 3 の外部端子との間には第 2 の減衰手段が設けられていることを特徴とする通信用半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、位相変調のための位相制御ループおよび振幅変調のための振幅制御ループを有する無線通信システムに適用して有効な技術に関し、特に位相検出回路と振幅検出回路を内蔵する通信用半導体集積回路およびこの通信用半導体集積回路を組み込んだ携帯電話機等の無線通信システムに適用して有効な技術に関する。

【0 0 0 2】

【従来の技術】

従来、携帯電話機等の無線通信装置（移動体通信装置）の方式の一つに欧州で採用されている G S M（Global System for Mobile Communication）と呼ばれる方式がある。この G S M方式においては、搬送波の位相を送信データに応じてシフトする G M S K（Gaussian Minimum Shift Keying）と呼ばれる位相変調方式が用いられている。

【0 0 0 3】

一方、近年の携帯電話機においては、E D G E（Enhanced Data Rates for G S M Evolution）方式が提案されている。この E D G E方式は、音声信号の通信を G M S K変調で行ない、データ通信を $3\pi/8$ rotating 8 - P S K（Phase Shift Keying）変調で行なうデュアルモードの通信機能を備えている。8 - P S K変調は G M S K変調における搬送波の位相シフトにさらに振幅シフトを加えたような変調であり、1 シンボル当たり 1 ビットの情報を送る G M S K変調に対し、8 - P S K変調では 1 シンボル当たり 3 ビットの情報を送ることができる。そのため、E D G E方式は、G S M方式に比べて高い伝送レートによる通信を行なうことができる。

【0 0 0 4】

送信信号の位相成分と振幅成分にそれぞれ情報を持たせる変調方式の実現方法としては、送信したい信号を位相成分と振幅成分に分離した後、位相制御ループと振幅制御ループでそれぞれフィードバックをかけて制御した後、アンプで合成して出力するポーラーループと呼ばれる方式が従来より知られている（例えば、ARTECH HOUSE, INC. が 1 9 7 9 年に出版の “High Linearity RF Amplifier Design ” by Kenington, Peter B. の第 1 6 2 頁）。

【 0 0 0 5 】

ところで、近年、無線通信システムにおいては、部品点数を減らしてシステムの小型化および低コスト化を図るため、できるだけ多くの回路を 1 つあるいは数個の半導体集積回路内に取り込む努力がなされている。その一つに、送信用発振器を変復調機能を有する通信用半導体集積回路（以下、高周波 I C と称する）に内蔵させる技術があり、G S M 方式の通信システムを構成する高周波 I C に関しては、送信用発振器をオンチップ化させたものが、本出願人によって開発され提案されている（特許文献 1）。

【 0 0 0 6 】

【特許文献 1】

特願 2 0 0 3 - 0 4 8 5 2 5 号

【 0 0 0 7 】

【発明が解決しようとする課題】

本発明者等は、E D G E 方式の通信システムを構成する高周波 I C に送信用発振器を内蔵させる技術について検討を行なった。その結果、以下のような問題点があることが明らかになった。なお、本発明者等が検討したポーラーループ方式は、位相制御ループに関しては送信用発振器の出力または高周波電力増幅回路（以下、パワーアンプと称する）の出力を検出して基準信号と比較する位相比較器にフィードバックさせ、振幅制御ループに関してはパワーアンプの出力を検出して基準信号と比較する振幅比較器にフィードバックさせる方式である。かかるポーラーループ方式については、本出願人等によって提案された特許出願（特願 2 0 0 3 - 5 4 0 4 2 号）に開示されている。

【 0 0 0 8 】

GMSK変調方式を採用したGSMやDCS (Digital Cellular System) などのシステムでは、搬送波を送信データに応じて位相変調して出力すれば良いので、フィードバック制御ループとしては位相制御ループのみあれば足りる。前記特許文献1に開示されている無線通信システムは、送信回路の直交変調器において位相変調のみ行ない、オフセットPLL方式と呼ばれる方式でアップコンバートを行なうものであり、高周波ICに送信用発振器を内蔵させると位相制御のためのフィードバック制御ループもチップ内で閉じるように構成できるので、以下に述べるような不具合は発生しない。

【0009】

一方、ポーラーループ方式を採用したEDGEシステムでは、変調器で変調された信号から位相成分と振幅成分をそれぞれ抽出して別々に制御を行ない、パワーアンプでベクトル合成して出力する。そのため、位相制御ループと振幅制御ループの2つのフィードバック制御ループが必要とされる。また、少なくとも振幅制御ループは、送信用発振器よりも後段のパワーアンプの出力レベルを検出してフィードバックし、パワーアンプのゲインを制御するように構成する必要がある。

【0010】

従って、パワーアンプと高周波ICとが別個の半導体チップで構成されているシステムにおいて、高周波ICに送信用発振器を内蔵させた場合、送信用発振器の発振信号は高周波ICの外部端子からチップ外のパワーアンプへ出力される。また、パワーアンプから出力される送信信号を検出するカプラの検出信号は高周波ICの外部端子へ入力され、フィードバックパスを介してICチップ内部の振幅比較器または振幅比較器および位相比較器へ供給される。

【0011】

ここで、高周波IC内の送信用発振器で生成され外部へ出力される送信信号と、カプラで検出され高周波ICへ入力されるフィードバック信号は、同一の周波数である。つまり、送信用発振器側からのノイズをフィードバックパス上のフィルタでカットすることができない。また、パワーアンプの出力レベルは非常に大きくカプラの検出信号のレベルも大きくなるので、本発明者らが提案した先願発

明のポーラループ方式の通信システムにおいては、カップラで検出した信号をアッテネータにより 2 6 d B 以上減衰して高周波 I C へ入力していた。

【 0 0 1 2 】

ところが、高周波 I C に送信用発振器を内蔵させた場合、送信用発振器の出力ピンでのレベルは約 7 . 8 d B m である。そのため、特別なアイソレーションを施さないと、送信用発振器の出力ピンから振幅制御ループのフィードバック信号の入力ピンへ飛び込むノイズのレベルが - 4 0 d B m 近くになる。よって、パワーアンプが例えばその最小出力レベルである - 1 4 d B m のような出力レベルで動作している場合には、振幅制御ループのフィードバック信号の入力レベルは、飛込みノイズのレベル (- 4 0 d B m) と同程度もしくはそれよりも低いレベルになってしまう。その結果、パワーアンプの正確な出力制御が行なえないという課題が生じることが明らかになった。なお、ここでは、高周波 I C はベアチップの状態ではなく、パッケージに封入されている状態にあることを想定している。

【 0 0 1 3 】

そこで、送信用発振器の出力ピンと振幅制御ループのフィードバック信号の入力ピンとのアイソレーションを高くするため、両方のピンを最も離れた位置に配置することも検討した。しかし、結果はほぼ同じであり、フィードバック信号の入力ピンへの飛込みノイズのレベルを充分に下げることができなかった。しかも、わざわざ送信用発振器の出力ピンと振幅制御ループのフィードバック信号の入力ピンを互いに離れた位置に設けようとする、他の回路の配置にしわ寄せが行きチップ全体のレイアウト設計が面倒になると共に、無駄な空白領域が生じてチップ面積が増大するという不具合も生じる。

【 0 0 1 4 】

本発明の目的は、送信信号の位相と振幅を制御するためのフィードバック制御ループを有する無線通信システムにおいて、システムを構成する部品数を減らし、実装密度を高めて小型化を図るとともにコストを低減することができる通信用半導体集積回路を提供することにある。

【 0 0 1 5 】

本発明の他の目的は、パワーアンプの出力電力を制御するためのフィードバッ

ク制御ループを有する無線通信システムにおいて、システムを構成する高周波 I C のような通信用半導体集積回路に送信用発振器を内蔵させた場合に、送信用発振器の出力ピンからパワーアンプの出力レベル検出信号の入力ピンへ飛び込むノイズによってパワーアンプの出力電力制御の精度が低下するのを防止することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【 0 0 1 6 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

すなわち、送信用発振器から出力される搬送波の位相を制御する位相制御ループと、電力増幅回路から出力される送信出力信号の振幅を制御する振幅制御ループとを有し G M S K 変調モードによる送信と 8 - P S K 変調モードによる送信が可能な無線通信装置を構成する高周波 I C に送信用発振器を内蔵させ、カップラで検出されたパワーアンプの出力レベルの検出信号を、送信用発振器の出力ピンから振幅制御ループのフィードバック信号の入力ピンへ飛び込むノイズのレベルよりも若干高いレベルまで減衰して高周波 I C の上記フィードバック信号入力ピンへ入力させるようにしたものである。

【 0 0 1 7 】

これにより、システムを構成する部品点数を減らし、実装密度を高めることができる。なお、ここで、高周波 I C に送信用発振器を内蔵させるとは、送信用発振器を構成するすべての素子を内蔵させる場合はもちろん、送信用発振器が例えば L C 共振型発振器のようなインダクタンス素子を備える回路である場合に、オンチップの素子では所望の特性が得られにくいインダクタンス素子については外付け素子を用い、インダクタンス素子を除く他の構成素子を変調器が形成された半導体チップと同一チップ上に形成する場合を含むものとする。

【 0 0 1 8 】

【発明の実施の形態】

図 1 は、本発明を適用して好適なポーラーループ方式の無線通信システムの一実施例の概略構成を示す。図 1 の無線通信システムは、G S Mシステムにおける G M S K変調や E D G Eシステムにおける 8 - P S K変調を行なうことができる通信用半導体集積回路としての高周波 I C 1 0 0、アンテナ A N Tを駆動して送信を行なうパワーアンプ（高周波電力増幅回路）2 1 0や送信電力を検出するためのカプラ 2 2 0などを含むパワーモジュール 2 0 0、送信データ（ベースバンド信号）に基づいて I / Q信号を生成したり高周波 I C 1 0 0の制御信号やパワーモジュール 2 0 0内のパワーアンプ 2 1 0に対するバイアス電圧 V B I A Sを生成したりするベースバンド回路 3 0 0から構成されている。ベースバンド回路 3 0 0は 1つの半導体チップ上に半導体集積回路として構成することができる。以下では、ベースバンド回路が半導体集積回路で形成されている例を用いて説明するので、ベースバンド回路をベースバンド I C 3 0 0として述べる。

【 0 0 1 9 】

本実施例においては、高周波 I C 1 0 0のチップ上に、変調回路 1 2 0や位相変調された送信信号（搬送波）を生成する送信用発振器 T x V C Oなどからなる送信系回路の他に、受信信号を増幅するロウノイズアンプ（L N A）、受信信号と R F - V C Oからの発振信号とをミキシングして受信信号を直接ベースバンド信号にダウンコンバートするミキサ（R x - M I X）、高利得のプログラマブル・ゲインアンプ（P G A）などからなる受信系回路 1 9 0が形成されている。

【 0 0 2 0 】

本実施例の無線通信システムは、位相制御のためのフィードバック制御ループ（本明細書では、これを位相制御ループまたはサブ位相制御ループと称する）の他に、振幅制御のためのフィードバック制御ループ（本明細書では、これを振幅制御ループと称する）の 2つの制御ループを備える。

【 0 0 2 1 】

高周波 I C 1 0 0には、発振器 I F - V C Oで生成された例えば 6 4 0 M H zのような周波数の発振信号 ϕ I Fを分周しかつ互いに位相が 9 0°ずれた 8 0 M H zの中間周波数の信号を生成する位相分周回路 1 1 0、ベースバンド I C 3 0 0から供給される I / Q信号と位相分周回路 1 1 0で分周された信号とをミキシン

グして直交変調を行なう直交変調回路120、送信用発振器TxVCOからのフィードバック信号と高周波発振器RF-VCOからの発振信号 ϕ_{RF} とをミキシングして、80MHzの信号にダウンコンバートするミクサ131、該ミクサ131の出力信号と前記直交変調回路120の出力信号との位相差を検出する位相検出回路140、パワーアンプ210の出力レベルを検出する前記カプラ220の検出信号と高周波発振器RF-VCOからの発振信号 ϕ_{RF} とをミキシングするミクサ132、該ミクサ132の出力を増幅するフィードバック側可変利得増幅回路MVGA、該増幅回路MVGAで増幅された信号と前記直交変調回路120の出力信号とを比較して振幅差を検出する振幅検出回路150、振幅検出回路150の出力に比例した電圧を発生するとともに振幅制御ループの周波数帯域を規制するループフィルタLPF2、該ループフィルタLPF2を通過した信号を増幅するフォワードパス側可変利得増幅回路IVGA、電流-電圧変換器VIC、可変利得増幅回路MVGAおよびIVGAの利得を制御する利得制御回路160、チップ内部の制御情報や動作モード等を設定するためのレジスタ170、レジスタ170の設定値に基づいてチップ内部の各回路を制御する制御回路180などを備える。

【0022】

制御回路180は、外部のベースバンドIC300からの入力コマンドや指定された動作モードに応じて内部回路を所定の順序で動作させるタイミング信号を生成するシーケンサの機能を有するように構成されている。

【0023】

上記カプラ220からミクサ132、可変利得増幅回路MVGA、振幅検出回路150、ループフィルタLPF2、可変利得増幅回路IVGAを通過してパワーアンプ210に至るまでのループにより振幅制御ループが構成される。また、位相検出回路140からループフィルタLPF1、送信用発振器TxVCO、ミクサ131を通過して位相検出回路140までのループにより位相制御ループが構成される。本実施例では、位相制御ループの帯域を制限するループフィルタLPF1は、外付けの容量C0、C1およびC1と直列の抵抗R1とから構成されている。

【 0 0 2 4 】

この実施例の高周波 I C 1 0 0 においては、直交変調回路 1 2 0 の出力信号とミクサ 1 3 1 からのフィードバック信号に位相差が生じていると、この誤差を減少させるような電圧が送信用発振器 T x V C O の周波数制御端子に供給され、ミクサ 1 3 1 からのフィードバック信号の位相が直交変調回路 1 2 0 の出力信号の位相と一致するように制御が行なわれる。この位相制御ループにより、送信用発振器 T x V C O の出力の位相が電源電圧変動や温度変化に対してずれないような制御が行われる。なお、送信用発振器 T x V C O の振幅は一定である。

【 0 0 2 5 】

さらに、この実施例の高周波 I C 1 0 0 においては、上記可変利得増幅回路 M V G A の出力が位相検出回路 1 4 0 と振幅検出回路 1 5 0 の両方に供給されるようにされ、カップラ 2 2 0 からミクサ 1 3 2 を通って可変利得増幅回路 M V G A までの経路を振幅制御ループと位相制御ループの共通のフィードバックパスとして使用可能にするため、切替えスイッチ S W 0 が設けられている。スイッチ S W 0 は、ベースバンド I C 3 0 0 によって設定が行なわれるレジスタ 1 7 0 の設定状態に応じて制御回路 1 8 0 によって切替えが行なわれる。

【 0 0 2 6 】

E D G E モードではパワーアンプ 2 1 0 の出力に位相変調成分と振幅変調成分の両方が含まれるので、出力側の位相成分を有する位相検出回路 1 4 0 への帰還信号として、送信用発振器 T x V C O の出力またはパワーアンプ 2 1 0 の出力のいずれを用いてもよい。ただし、送信開始時はパワーアンプ 2 1 0 の出力がまだ立ち上がっていないので、振幅制御ループからのフィードバック信号では位相制御ループをロックさせることができない。

【 0 0 2 7 】

また、E D G E モードでは振幅制御ループのフィードバックパスは、パワーアンプにおいて発生した歪みを修正するために不可欠である。そのため、ループがロックした後はフィードバックパスを振幅制御ループと位相制御ループで共用して、ミクサ 1 3 1 を含む T x V C O 側のサブ位相制御ループを遮断してもよく、それにより消費電力を低減でき、またより精度の高い位相変調が行なえる。

【0 0 2 8】

そこで、この実施例においては、スイッチ S W 0 は、出力立上げ時にはサブ位相制御ループすなわちミキサ 1 3 1 からのフィードバック信号を選択する側に切り替えられ、ループが安定したらフィードバックパスすなわち可変利得増幅回路 M V G A からの信号を選択する側（この明細書では、このループをメイン位相制御ループと称し、前記サブ位相制御ループと区別する）に切り替えられる。これにより、ループ安定後はパワーアンプ 2 1 0 の出力の位相が変調回路 1 2 0 からの信号 S R E F の位相に一致するような制御が行なわれ、サブ位相制御ループによる制御よりも精度の高い位相制御が可能になる。

【0 0 2 9】

サブ位相制御ループ上のループフィルタ L P F 1 は、容量 C 0 , C 1 および C 1 と直列に接続された抵抗 R 1 とから構成されている。各容量や抵抗の値は、ループフィルタ L P F 1 の周波数帯域が、位相変調のみ行なう G M S K 変調モードを考慮してノイズ抑制度の高い 1 . 2 M H z のような周波数帯域となるように決定されている。

【0 0 3 0】

さらに、本実施例では、このサブ位相制御ループを G M S K 変調モードと 8 - P S K 変調モードで共用できるように構成されている。具体的には、図示しないが、上記ループフィルタ L P F 1 の抵抗 R 1 と並列に、抵抗およびこれと直列のスイッチが設けられている。このスイッチをオンさせると、ループフィルタ L P F 1 の周波数帯域が 1 . 8 M H z に広がるように構成されている。すなわち、8 - P S K 変調モードでは、ループフィルタ L P F 1 の周波数帯域が振幅制御ループと同じ 1 . 8 M H z に設定される。これにより動作が安定化される。また、G M S K 変調モードでは、スイッチをオフさせることによりループフィルタ L P F 1 の周波数帯域が振幅制御ループよりも狭い 1 . 2 M H z に設定され、ループの安定性およびノイズ抑制度を高めることができるようにされている。

【0 0 3 1】

本実施例の高周波 I C 1 0 0 の送信系回路では、8 - P S K 変調モードで動作する場合、ループ安定後に振幅制御ループにおいて、パワーアンプ 2 1 0 の出力

電力がカプラ 2 2 0 により検出され、その検出信号がミクサ 1 3 2 において高周波発振器 R F - V C O からの発振信号 ϕ RF とをミキシングされることにより中間周波数 (I F) の信号に変換され、可変利得増幅回路 M V G A により増幅されてフィードバック信号 S F B として振幅検出回路 1 5 0 に供給される。

【 0 0 3 2 】

そして、振幅検出回路 1 5 0 において、上記フィードバック信号 S F B と直交変調回路 1 2 0 により変調された信号 S R E F とが比較されて振幅差が検出される。その振幅差がループフィルタ L P F 2 を介して可変利得増幅回路 I V G A に供給されて増幅され、パワーアンプ 2 1 0 の出力制御端子に制御電圧 V A P C として印加され、振幅制御が行なわれる。

【 0 0 3 3 】

さらに、本実施例では、可変利得増幅回路 I V G A の後段に、チャージポンプ C G P とレベルシフト回路 L V S とが設けられている。チャージポンプ C G P は、可変利得増幅回路 I V G A の差動出力によりチャージアップまたはディスチャージを行なって可変利得増幅回路 I V G A の出力電流を積分する。レベルシフト回路 L V S は、チャージポンプで発生された電圧を約 0 . 6 V だけ負の方向へシフトする。チャージポンプ C G P は一対の電流源 I S 1 , I S 2 と容量 C 4 とから構成されている。レベルシフト回路 L V S を設けているのは、出力パワーモジュール 2 0 0 に対しては制御電圧として 0 V まで印加できることが要求されるのに対し、本実施例のチャージポンプ C G P は電流源 I S 2 の性質から 0 V を出力することができないためである。

【 0 0 3 4 】

この実施例においては、パワーアンプ 2 1 0 は F E T など構成されており、パワーモジュール 2 0 0 に設けられている電圧制御回路 (図示略) により前記制御電圧 V A P C に応じた駆動電圧 (V d d) が生成されてこの F E T のドレイン端子もしくはソース端子に印加される。また、パワー F E T のゲート端子には、ベースバンド I C 3 0 0 もしくは図示しないバイアス回路で生成された適当なバイアス電圧 V B I A S が印加される。

【 0 0 3 5 】

ここで、フォワードパス上の可変利得増幅回路 I V G A とフィードバックパス上の可変利得増幅回路 M V G A に対する利得制御について説明する。

E D G E または G S M 対応の携帯電話端末では、パワーアンプの出力電力 P O U T を一定時間内に所望の値まで増加または減少させるパワー制御を行なわれる。ポーラーループ方式を採用した本実施例のシステムでは、このパワー制御を可変利得増幅回路 M V G A のゲインを制御することにより行なう。具体的には、可変利得増幅回路 M V G A のゲインを減少させれば振幅検出器 1 5 0 へのフィードバック信号 S F B は減少する。よって、振幅制御ループは、パワーアンプの R F ゲイン G P A (P O U T / P I N) を増加させて、フィードバック信号 S F B と変調回路からの基準信号 S R E F とを一致させるように作用する。

【 0 0 3 6 】

このように、可変利得増幅回路 M V G A のゲインが減少したときは、出力電力 P O U T は増加する。出力電力 P O U T を減少させたい時は、可変利得増幅回路 M V G A のゲインを増加させればよい。本実施例では、可変利得増幅回路 M V G A のゲイン制御は、ベースバンド I C 3 0 0 からの制御電圧 V R A M P により行なうようにしている。しかも、振幅制御ループの安定のために、可変利得増幅回路 M V G A のゲイン G M V G A の減少または増加の割合と、可変利得増幅回路 I V G A のゲイン G I V G A の増加または減少の割合は常に等しくされる。

【 0 0 3 7 】

一方、直交変調回路 1 2 0 から位相検出器 1 4 0 と振幅検出器 1 5 0 へ供給される基準信号 S R E F は、8 - P S K で変調された信号であり振幅成分と位相成分が変化しているが、振幅制御ループの作用によりパワーアンプの出力電力 P O U T の振幅成分の変化が基準信号 S R E F の振幅成分の変化と一致するような制御が行なわれる。また、位相制御ループの作用によりパワーアンプの出力電力 P O U T の位相成分の変化が基準信号 S R E F の位相成分の変化と一致するような制御が行なわれる。その結果、パワーアンプの出力は、直交変調回路 1 2 0 により生成された 8 - P S K 変調信号の本来の変調にきわめて近似した変調された出力となる。なお、このときパワーアンプ 2 1 0 の出力電力 P O U T は、前述したようなパワー制御により所望の値になるようにされる。

【 0 0 3 8 】

また、図 1 には示されていないが、サブ位相制御ループのフィードバックパスには、送信用発振器 T x V C O とミクサ 1 3 1 との間に発振器 T x V C O の出力を減衰してミクサ 1 3 1 に供給するアッテネータが、またミクサ 1 3 1 と位相検出回路 1 4 0 との間に高調波を除去するためのロウパスフィルタが設けられる。一方、振幅制御ループのフィードバックパスには、カプラ 2 2 0 とミクサ 1 3 2 との間にアッテネータが、またミクサ 1 3 2 と可変利得増幅回路 M V G A との間および可変利得増幅回路 M V G A と振幅検出回路 1 5 0 との間にそれぞれ不要波や高調波を除去するためのロウパスフィルタが設けられる。

【 0 0 3 9 】

次に、本発明の第 1 の実施形態の構成とその作用について説明する。

図 2 には、図 1 のポーラーループ方式の無線通信システムにおいて、パワーアンプ 2 1 0 の出力レベルを検出する前記カプラ 2 2 0 a, 2 2 0 b とミクサ 1 3 2 との間に設けられる減衰回路（アッテネータ） 4 0 0 とミクサ 1 3 2 の構成例が示されている。

【 0 0 4 0 】

なお、図 2 に、2 つのカプラ 2 2 0 a, 2 2 0 b が示されているのは、本実施例の高周波 I C 1 0 0 は、8 0 0 M H z の G S M と 1 8 0 0 M H z の D C S および 1 9 0 0 M H z の P C S (Personal Communications System) の 3 つの通信方式に対応可能に構成されており、パワーアンプ 2 1 0 もこれに応じて 2 つ設けられているためである。図示しないが、T x V C O も 2 つ設けられている。1 8 0 0 M H z の D C S と 1 9 0 0 M H z の P C S は周波数帯が近いので、送信信号の生成、増幅及び検出には、共通の T x V C O、パワーアンプ及びカプラが用いられる。

【 0 0 4 1 】

図 2 に示されているように、第 1 の実施形態では、減衰回路 4 0 0 は抵抗 R 1 1 ~ R 2 2 からなる π 型アッテネータで構成されている。これとともに、高周波 I C 1 0 0 には、前記カプラ 2 2 0 の検出信号を前記ミクサ 1 3 2 へ供給するため設けられた入力ピン P 1 の他に、ダミーの入力ピン P 2 が設けられている。

【0042】

そして、第1の実施形態では、 π 型アッテネータを構成する抵抗R11～R22のうち抵抗R11～R14は、パワーアンプ210の出力レベルを検出するカプラ220a, 220bと該カプラの検出信号を入力するための入力ピンP1との間に接続されている。また、 π 型アッテネータを構成する抵抗R11～R22のうち抵抗R15～R18, R21, R22は、前記入力ピンP1およびダミー入力ピンP2とミクサ132との間に接続されている。これらの抵抗のうちR21とR22は50 Ω のような終端抵抗である。

【0043】

これにより、高周波IC100に入力される検出信号の減衰量は、アッテネータを構成するすべての抵抗R11～R22をチップ外部に接続する場合よりも少なくすることができる。つまり、カプラ220の検出信号が入力される入力ピンP1における信号レベルは、アッテネータを構成するすべての抵抗をチップ外部に設けた場合の信号レベルに比べて大きくなる。

【0044】

本実施形態においては、送信時のパワーアンプ210が最小レベルのときの入力ピンP1における検出信号のレベルが、TxVCOの出力ピンP3からカプラの検出信号の入力ピンP1へ飛び込むノイズのレベルよりも大きくなるように抵抗R11～R13の値が設定される。

【0045】

例えばTxVCOの出力ピンP3における出力レベルが+5dBmで、入力ピンP1へ飛び込むノイズのレベルが-40dBm、カプラ220での検出信号のレベルが振幅制御ループの収束レベルである-11dBmの場合に、カプラ220の検出信号(-11dBm)を抵抗R11～R14で26dBmほど減衰して、入力ピンP1における検出信号のレベルが-37dBmになるように抵抗R11～R13の値を決定すれば良い。これにより、ミクサ132へ入力される信号のSN比が劣化して、振幅制御ループによるフィードバック制御の精度が低下するのを防止することができる。

【0046】

ただし、入力ピン P 1 への飛込みノイズのレベルは入力ピン P 1 と出力ピン P 3 との距離やアイソレーション対策の有無等に依存し、またカプラ 220 の検出信号のレベルはカプラの感度に依存するので、抵抗 R 11 ~ R 13 の具体的な値はピン P 1 と P 3 との距離やカプラの感度等に応じて適宜決定するのが良い。

【0047】

一方の端子が接地点に接続されている抵抗 R 14, R 16, R 18, R 19 の値は、この実施形態では、終端抵抗 R 21 と R 22 の 50Ω よりも若干大きな値（例えば 61Ω ）とされ、入力ピン P 1, P 2 とミクサ 132 の入力端子との間に直列に接続された抵抗 R 15, R 17 の抵抗値は、抵抗 R 14, R 16, R 18, R 19 の数倍程度の値（例えば 248Ω ）とされている。これにより、ピン P 1 への入力検出信号は、抵抗 R 15, R 16 でさらに約 20 dBm ほど減衰されてミクサ 132 へ供給される。

【0048】

また、アッテネータを構成する抵抗 R 11 ~ R 22 のうち抵抗 R 11 ~ R 14 を入力ピン P 1 に外付け抵抗として接続したのに応じて、ダミーの入力ピン P 2 には、一方の端子が接地点に接続された抵抗 R 19, R 20 が並列に接続されている。抵抗 R 19, R 20 のうち R 20 は 50Ω のような終端抵抗である。この抵抗 R 16 の代わりに、ダミー入力ピン P 2 の実質的なインピーダンスを 50Ω とすることができるようにするため、並列形態の可変抵抗と容量素子とからなる共役インピーダンス整合回路を設けるようにしても良い。

【0049】

さらに、図 2 の第 1 実施形態では、ミクサ 132 として、特に制限されるものでないが、ギルバートセルと呼ばれる差動型回路が使用されている。かかるギルバートセルからなるミクサの場合、差動入力トランジスタ Q 1, Q 2 のうち一方のトランジスタのベース端子にカプラ 220 の検出信号を入力し、他方のトランジスタのベース端子にはカプラ 220 の検出信号の中間電位を入力しておくことで、シングル入力の回路として動作させることが可能であり、それによってピン数を減らすことができる。

【0050】

本発明者らが提案した前記先願発明（特願 2 0 0 3 - 5 4 0 4 2 号）においては、このようなシングル入力のみクサを想定していた。しかし、前述したように、Tx VCO の出力ピン P 3 からの飛込みノイズによるフィードバック制御精度の低下を防止するため、本実施形態においては、本来の検出信号の入力ピン P 1 の他にダミー入力ピン P 2 を設け、ミクサ 1 3 2 を構成する差動入力トランジスタの一方（図 2 では Q 2）のベース端子を、容量 C 1 2 を介して前記ダミー入力ピン P 2 に接続する構成とした。これにより、Tx VCO の出力ピン P 3 から検出信号の入力ピン P 1 へ飛び込むノイズと同一のノイズをダミー入力ピン P 2 から差動入力トランジスタへ入力させて、差動回路の持つ同相ノイズ相殺効果を利用してノイズ量を減らすことができる。

【0 0 5 1】

なお、図 2 に示されているミクサ 1 3 2 においては、上記差動入力トランジスタ Q 1、Q 2 のベースに抵抗 R 3 1、R 3 2 を介してバイアス電圧 V b b が印加されており、入力ピン P 1 により入力されたパワーアンプ出力の検出信号はこのバイアス電圧 V b b を動作点（中心電位）として変化するようにされる。

【0 0 5 2】

さらに、上記差動入力トランジスタ Q 1、Q 2 のコレクタにはそれぞれエミッタ共通結合のトランジスタ対 Q 3、Q 4 と Q 5、Q 6 が接続され、Q 3 と Q 5 のコレクタが共通の負荷抵抗 R 3 6 に接続され、Q 4 と Q 6 のコレクタが共通の負荷抵抗 R 3 7 に接続されている。そして、Q 3 ~ Q 6 のベースに高周波発振器 R F VCO からの発振信号 ϕ_{RF} 、 $\neg \phi_{RF}$ が容量 C 1 3、C 1 4 を介して入力され、入力ピン P 1 により入力されたパワーアンプ出力の検出信号と発振信号 ϕ_{RF} とを合成することでそれらの周波数差に相当する周波数成分を含む信号が出力される。

【0 0 5 3】

図 3 には、上記第 1 実施形態の減衰回路の変形例を示す。この変形例は、図 2 の第 1 実施形態において減衰回路を構成している抵抗 R 1 1 ~ R 1 9 のうち、ピン P 1、P 2 に外付け素子として接続されていた抵抗 R 1 4 および R 1 9 を、R 1 5 ~ R 1 7 と共に高周波 IC 1 0 0 のチップ上に形成するようにしたものである。

る。

【0054】

この変形例においても図2の回路と同様に、TxVCOの出力ピンP3から検出信号の入力ピンP1へ飛び込むノイズのレベルよりも、入力ピンP1へ入力されるカプラからの検出信号のレベルを大きくして、ミクサ132に入力される信号のSN比を向上させることができるという効果が得られる。しかも、この変形例によれば、抵抗R14およびR19をオンチップ化したことにより、さらに部品点数を減らすことができるという利点がある。ただし、この変形例は、チップ内部の接地電位が十分に安定したものでないと、図2の第1実施形態の減衰回路よりも性能が悪くなるという不具合がある。

【0055】

ところで、図2の第1実施形態の減衰回路および図3の変形例は、チップ内部の接地電位が十分に安定しているものとして説明した。しかし、実際のデバイスでは、図4に示されているように、接地電位GNDは入力ピンP1やP2と同様な外部端子（ピンP4）から、ボンディングワイヤやチップ内部の配線を通して与えられることが多い。そのような場合には、TxVCOの出力ピンP3からグランドピンP4へ飛び込んだノイズがミクサ132の入力端子に回り込んで、CMRR（同相成分除去比）を劣化させるおそれがある。

【0056】

図4には、グランドピンP4へ飛び込んだノイズの回り込みによるCMRRの劣化を防止できるようにした第2実施形態の減衰回路およびミクサ回路を示す。図2の第1実施形態との主な相違点は、①図2の第1実施形態では π 型アッテネータを構成する抵抗としてチップ上にR15～R18を設けているのに対し、図4の第2実施形態ではチップ上に形成される抵抗として例えば646 Ω のような抵抗R15、R17のみ用い、接地点に接続される抵抗R16、R18が省略されている点、②ミクサ132の差動入力トランジスタQ1、Q2を、ベースを入力とするエミッタ接地型とする代わりにエミッタを入力とするベース接地型として用い、ベースには抵抗R30を介して例えば1.3Vのようなバイアス電圧V_{bb}'を印加している点、③トランジスタQ1、Q2のベースと接地点との間に

容量素子C10を設けている点がある。外付け抵抗は、図2の第1実施形態と同様で良く、カップラ220により検出された信号を-26dBm減衰して入力ピンP1へ伝えるように構成される。

【0057】

図2の回路ではアッテネータを構成している抵抗R16, R18を通してグラウンドラインからトランジスタQ1, Q2に回り込むノイズがあるが、この第2実施形態においてはそれがない。また、TxVCOの出力ピンP3からグランドピンP4へ飛び込んだノイズは、容量素子C10を介してトランジスタQ1, Q2の各ベースへ伝わるとともに、ミキサ132の接地電位から抵抗R34, R35を通してトランジスタQ1, Q2の各エミッタに伝わることになる。そのため、トランジスタQ1, Q2のベース・エミッタ間電圧はグラウンドライン回りのノイズに対して何らゲインを持たないことになる。その結果、図4の回路は、図2の回路に比べてCMRRが良好となる。

【0058】

図5には、送信用発振器TxVCOの一実施例としてのLC共振型発振回路を示す。この実施例の発振回路は、図5に示されているように、ソースが共通接続されかつ互いにゲートとドレインとが交差結合された一对のPチャネルMOSトランジスタQ11, Q12と、該トランジスタQ11, Q12の共通ソースと電源電圧端子Vccとの間に接続された定電流源Icと、定電流源Icと直列に設けられたスイッチSW10と、各トランジスタQ11, Q12のドレインと接地点GNDとの間にそれぞれ接続されたインダクタ（コイル）L1, L2と、上記トランジスタQ11, Q12のドレイン端子間に直列に接続された容量C11, スイッチSW11, SW12, 容量C12を含む第1の直列回路と、および前記第1の直列回路と並列に接続され、容量C21, スイッチSW21, SW22, 容量C22を含む第2の直列回路と、前記第1の直列回路と並列に接続され、容量C31, スイッチSW31, SW32, 容量C32を含む第3の直列回路と、トランジスタQ11, Q12のドレイン端子間に直列に接続された可変容量素子としてのバラクタ・ダイオードDv11, Dv12とから構成されている。バラクタ・ダイオードDv11, Dv12はPチャネルMOSトランジスタで構成す

ることができる。Q 1 1, Q 1 2 はバイポーラ・トランジスタであってもよい。

【0 0 5 9】

スイッチ S W 1 1 ~ S W 3 2 は、図 1 に示されている制御回路 1 8 0 からのバンド選択信号 V B 2 ~ V B 0 によってオン、オフ制御される。これにより、T x V C O の発振周波数が段階的に変化される。一方、バラクタ・ダイオード D v 1 1, D v 1 2 の一方の端子には、ループフィルタ L P F 1 からの制御電圧 V c が印加されて周波数を連続的に制御するように構成されている。

【0 0 6 0】

具体的には、スイッチ S W 1 1 ~ S W 3 2 のうちオン状態にされるものの数が多くなると、トランジスタ Q 1 1, Q 1 2 のドレイン端子間に接続される容量の値が大きくなって発振周波数は低くなる。一方、オン状態にされるスイッチの数が少なくなると発振周波数は高くなる。これらのスイッチ S W 1 1 ~ S W 3 2 は、送信モードが G S M か D C S か P C S かに応じて選択的にオンされる。

【0 0 6 1】

また、定電流源 I c と直列に設けられたスイッチ S W 1 0 は起動用のスイッチであり、これがオンされると当該発振回路は発振動作を開始し、スイッチ S W 1 0 がオフされると発振動作を停止する。スイッチ S W 1 0 を設ける代わりに定電流源 I c を直接オン、オフ制御するように構成しても良い。スイッチ S W 1 0 は、制御回路 1 8 0 から出力される切替え信号 T V E によって制御される。

【0 0 6 2】

図 1 の実施例の高周波 I C 1 0 0 では、L C 共振型発振回路からなる高周波発振器 R F V C O や中間周波数用発振器 I F V C O を構成するインダクタとしてオンチップの素子を使用されている。これに対して、送信発振器 T x V C O に関しては、G S M 用の T x V C O のインダクタ L 1, L 2 は外付け素子が用いられ、D C S / P C S 用 T x V C O のインダクタ L 1, L 2 は I C に組み込まれている。これは、G S M 用の T x V C O にオンチップのインダクタを用いたのでは、十分な Q (quality factor) が得るのが難しいからである。

【0 0 6 3】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本

発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例の説明では、G S M 用の T x V C O のインダクタ L 1, L 2 は外付け素子が用いられると説明したが、所望の特性のインダクタをオンチップ素子で得ることができるようになれば、外付け素子を用いる必要はない。また、図 4 の第 2 実施形態においては、入力ピン P 1, P 2 の信号を抵抗 R 1 5, R 1 7 および容量 C 1 1, C 1 2 を介して差動入力トランジスタ Q 1, Q 2 のエミッタへ入力しているが、入力ピン P 1, P 2 の信号を Q 1, Q 2 のベースに入力する構成とすることも可能である。

【 0 0 6 4 】

また、上記実施例では、位相制御ループと振幅制御ループを有するポーラループ方式の無線通信システムに適用した場合を説明したが、本発明は、送信用発振器の主要部がチップ上に形成されて発振信号が高周波 I C の外部端子から出力され、パワーアンプの出力検出信号がチップ外部から高周波 I C へフィードバックされるように構成された高周波 I C および無線通信システムに広く適用することが可能である。

【 0 0 6 5 】

以上、本発明を、G S M 方式と D C S 1 8 0 0 方式と P C S 1 9 0 0 方式の 3 つの方式に従った通信が可能に構成されたトリプルバンド方式のシステムに適用した場合を説明したが、本発明は、G S M 方式、D C S 方式、P C S 方式のいずれか一つ、またはこれらのうちいずれか 2 つの方式に従った通信が可能に構成されたデュアルバンド方式のシステムさらにはクォッドバンド方式のシステムおよびそれに使用される高周波 I C に適用することができる。

【 0 0 6 6 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、位相制御ループと振幅制御ループの 2 つのフィードバック制御ループを有する無線通信システムにおいて、システムを構成する部品点数を減らし、実装密度を高めて小型化を図るとともにコストを低減すること

ができる。

【0 0 6 7】

また、パワーアンプの出力電力を制御するためのフィードバック制御ループを有する無線通信システムにおいて、システムを構成する高周波 I C のような通信用半導体集積回路に送信用発振器を内蔵させた場合に、送信用発振器の出力ピンからパワーアンプの出力レベル検出信号の入力ピンへ飛び込むノイズによってパワーアンプの出力電力制御の精度が低下するのを防止することができる。

【図面の簡単な説明】

【図 1】

本発明を適用して好適なポーラーループ方式の無線通信システムの一実施例の概略構成を示すブロック図である。

【図 2】

図 1 のポーラーループ方式の無線通信システムにおいて、パワーアンプの出力レベルを検出するカプラとダウンコンバート用のミクサとの間に設けられる減衰回路（アッテネータ）およびミクサの第 1 の実施形態を示す回路図である。

【図 3】

図 2 の実施例における送信装置における減衰回路の変形例を示す回路図である。

【図 4】

パワーアンプの出力レベルを検出するカプラとダウンコンバート用のミクサとの間に設けられる減衰回路（アッテネータ）およびミクサの第 2 の実施形態を示す回路図である。

【図 5】

本発明の実施例において使用される送信用発振器の一例を示す回路図である。

【符号の説明】

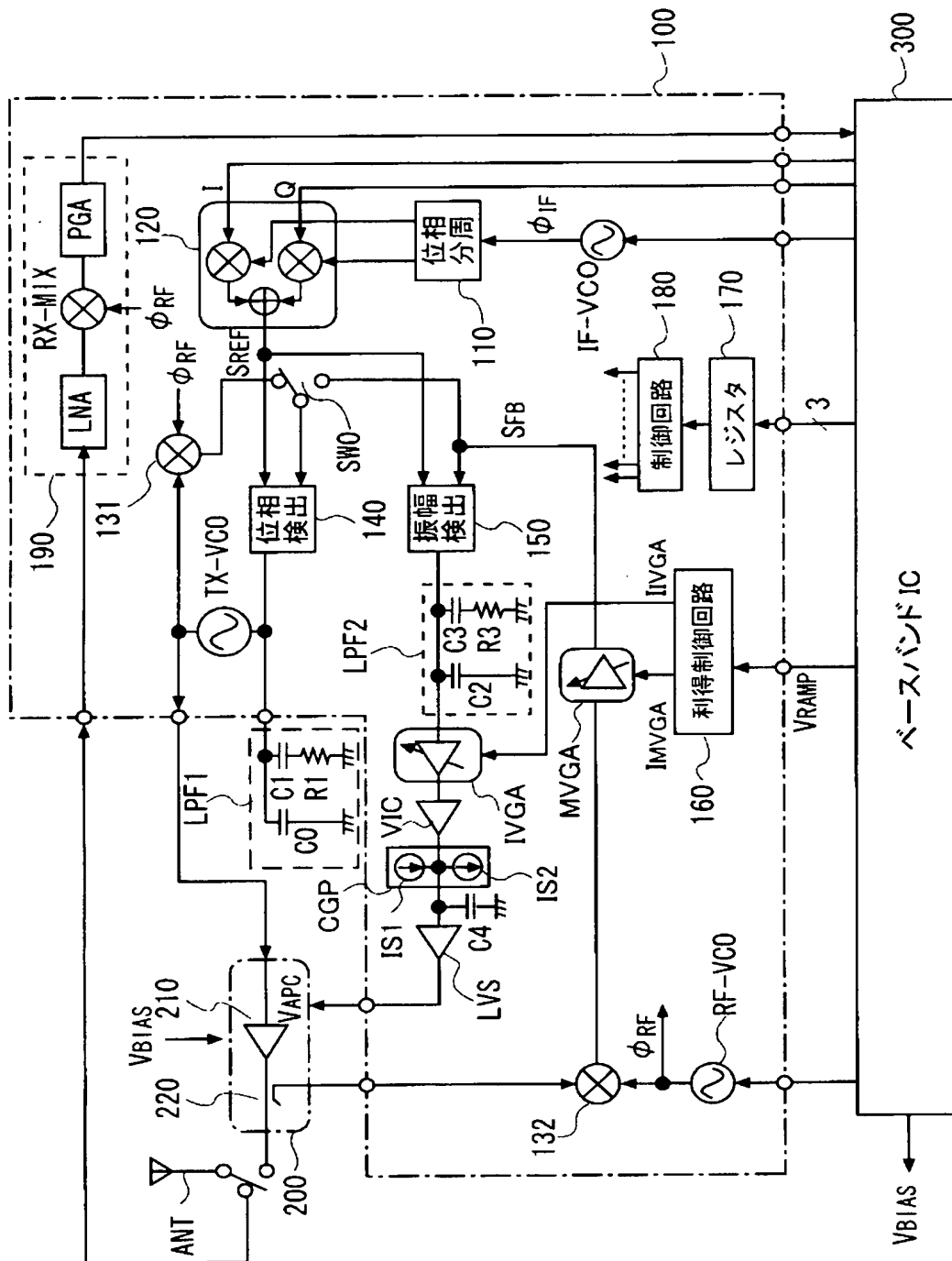
- 1 0 0 高周波 I C
- 1 1 0 位相分周回路
- 1 2 0 直交変調回路
- 1 3 1 ミクサ

1 3 2	ミクサ
1 4 0	位相検出回路
1 5 0	振幅検出回路
1 6 0	利得制御回路
1 7 0	レジスタ
1 8 0	制御回路（シーケンサ）
1 9 0	受信系回路
2 0 0	パワーモジュール
2 1 0	パワーアンプ
2 2 0	カップラ
3 0 0	ベースバンド回路（ベースバンドIC）
4 0 0	減衰回路（アッテネータ）
T x V C O	送信用発振器
R F - V C O	高周波発振器
I F - V C O	中間周波数発振器
L P F 1	ループフィルタ
L P F 2	ループフィルタ
M V G A , I V G A	可変利得増幅回路

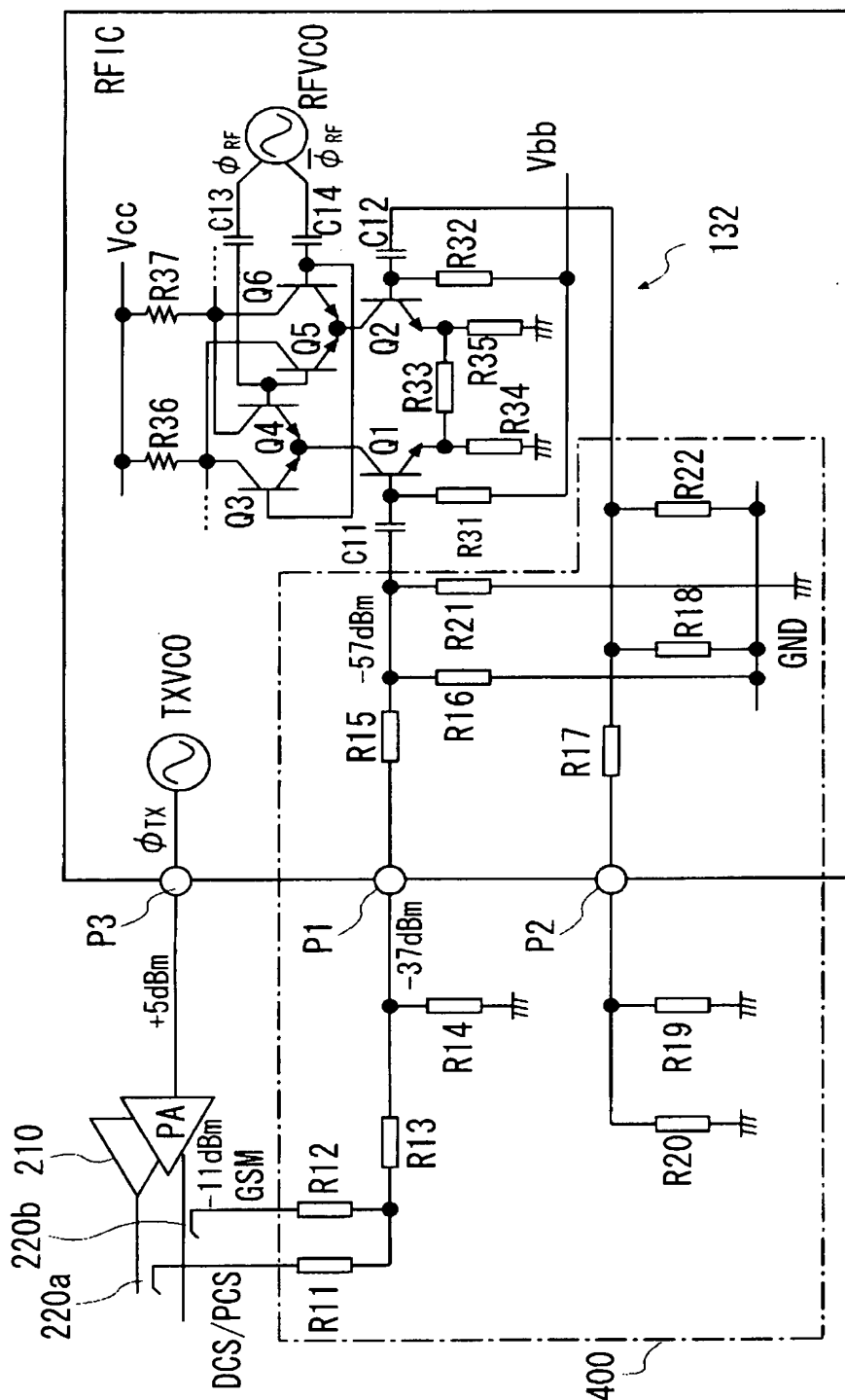
【書類名】

図面

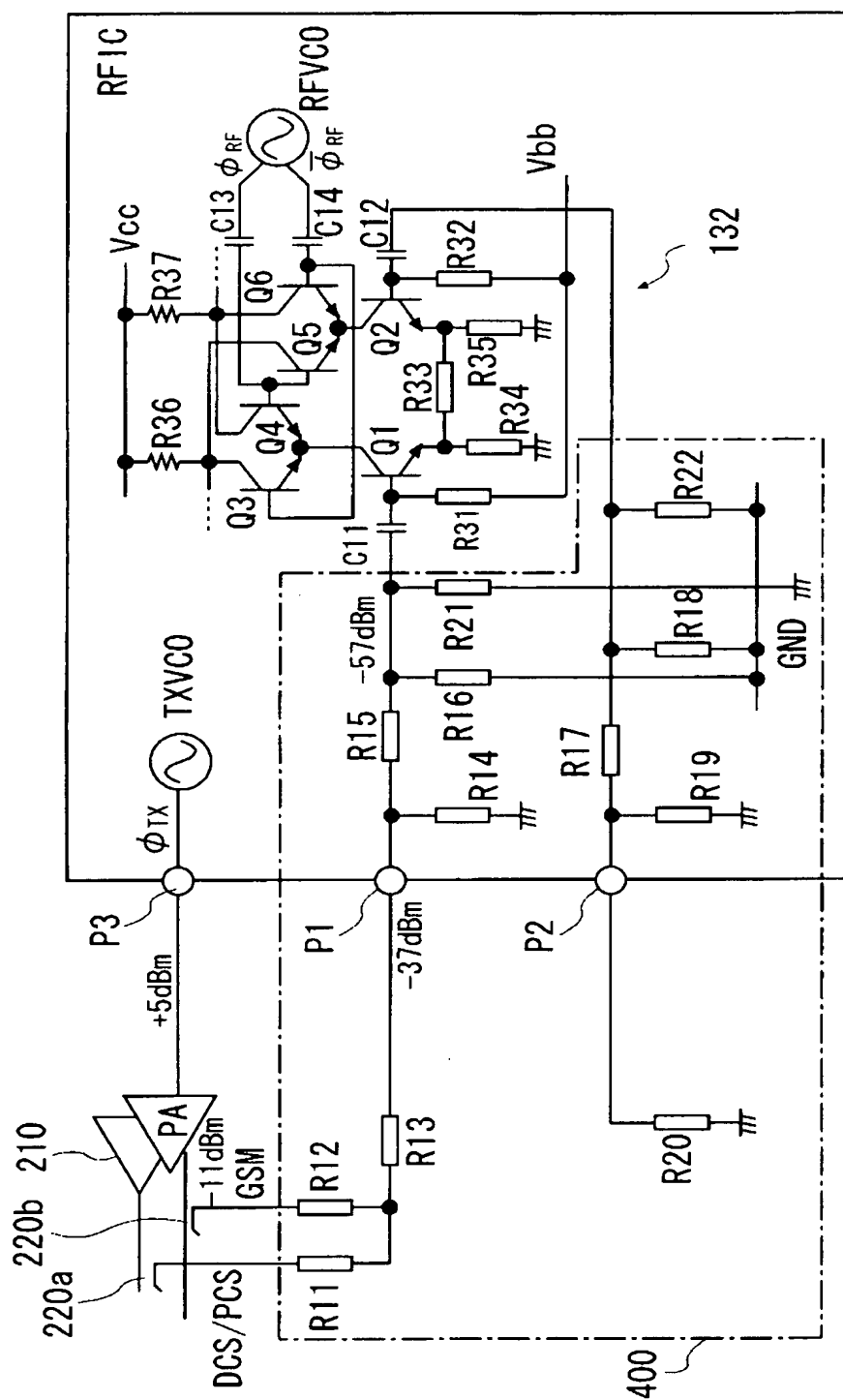
【図 1】



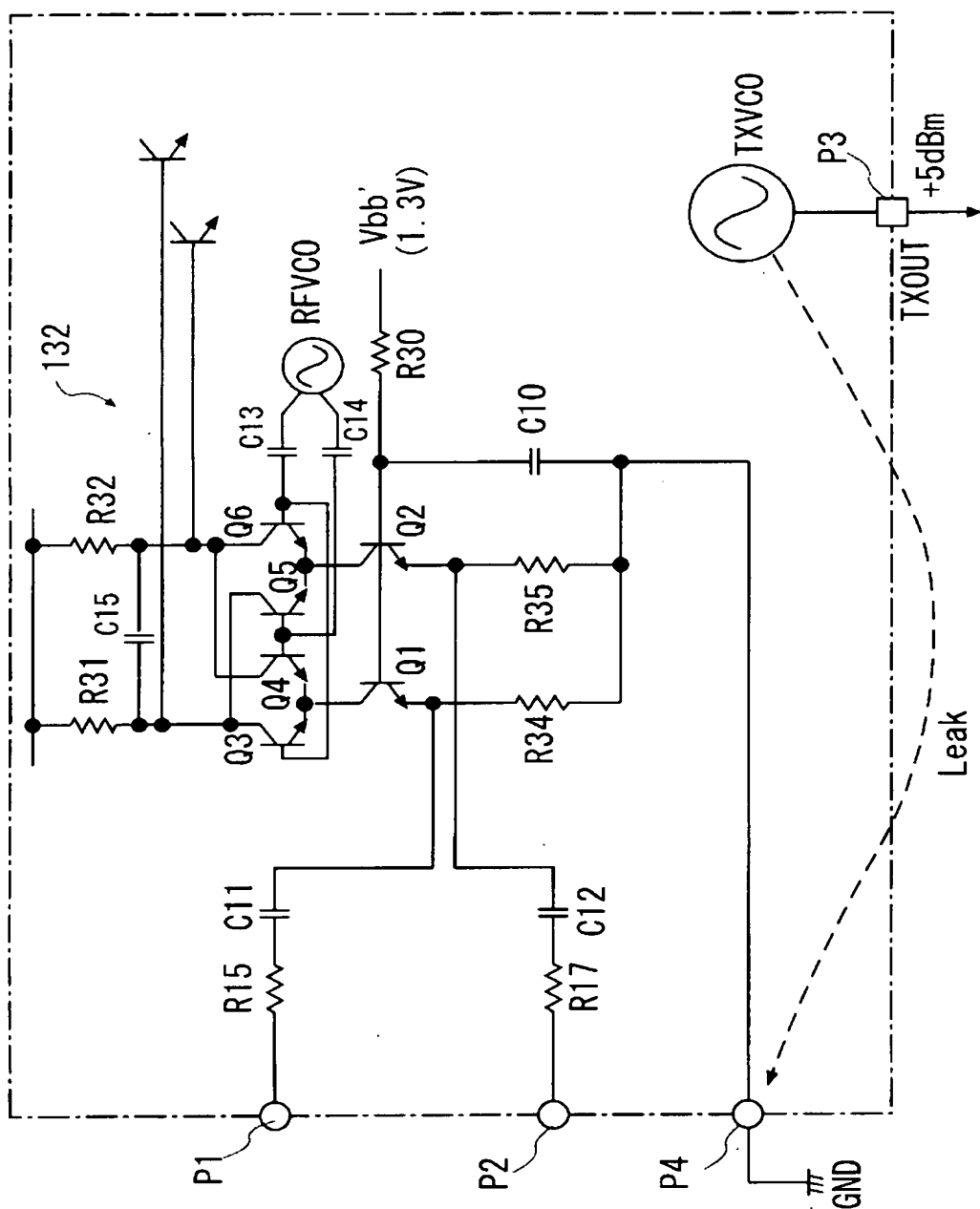
【図 2】



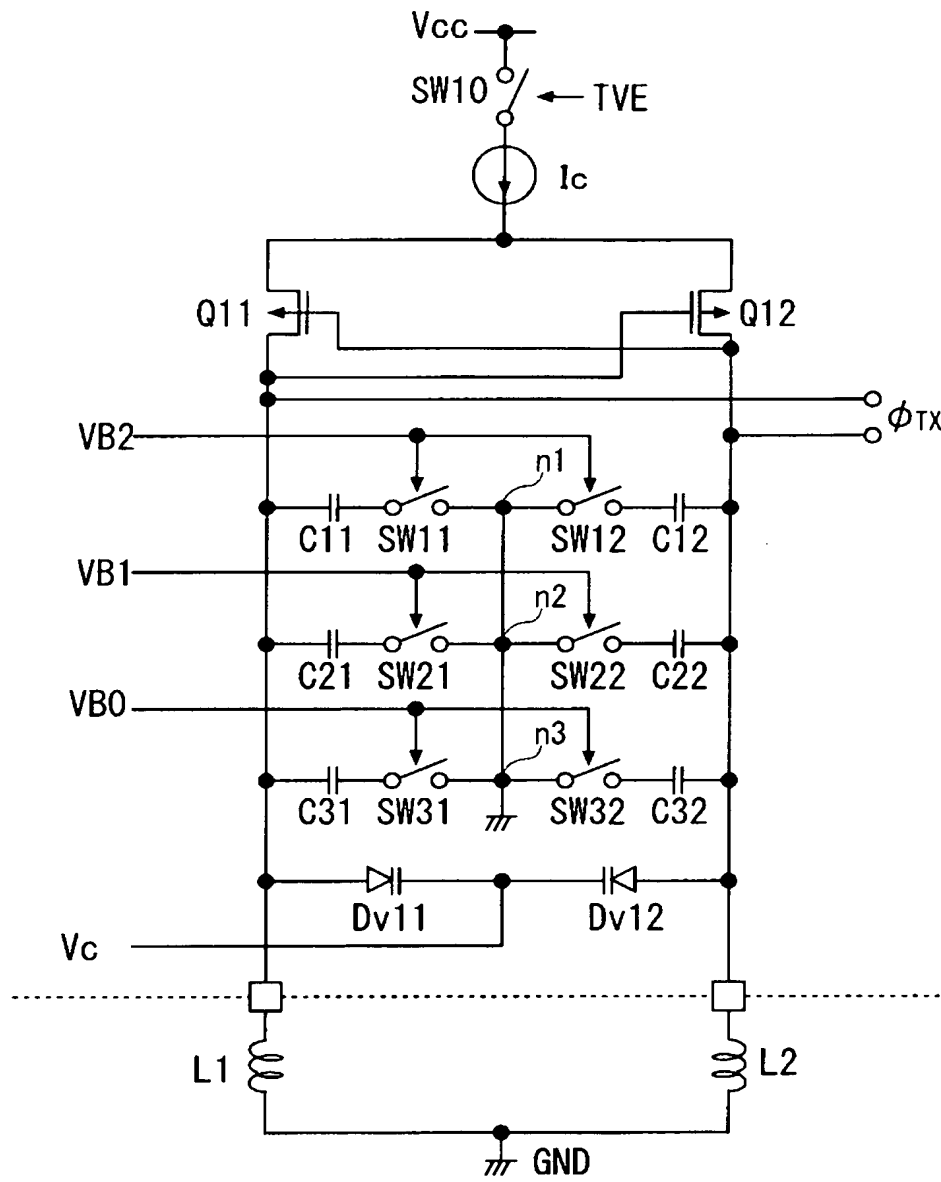
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 無線通信システムを構成する高周波 I C のような通信用半導体集積回路に送信用発振器を内蔵させた場合に、送信用発振器の出力ピンからパワーアンプの出力レベルの検出信号（フィードバック信号）の入力ピンへ飛び込むノイズによってパワーアンプの出力電力制御の精度が低下するのを防止する。

【解決手段】 高周波 I C （ 1 0 0 ） に送信用発振器（T x V C O）を内蔵させ、カプラ（ 2 2 0 ）で検出されたパワーアンプ（ 2 1 0 ）の出力レベルの検出信号を、送信用発振器の出力ピンから振幅制御ループのフィードバック信号の入力ピンへ飛び込むノイズのレベルよりも若干高いレベルまで減衰して高周波 I C の上記フィードバック信号入力ピンへ入力させるようにした。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 8 7 2 3 8
受付番号	5 0 3 0 0 5 0 2 4 8 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 1 日

< 認定情報・付加情報 >

【提出日】 平成15年 3月27日

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 87238

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【提出物件の目録】

【包括委任状番号】 0308733

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 3 - 1 0 8 7 1 2 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 8 7 2 3 8
受付番号	5 0 3 0 1 2 3 2 4 6 0
書類名	出願人名義変更届（一般承継）
担当官	田丸 三喜男 9 0 7 9
作成日	平成 1 5 年 9 月 3 日

< 認定情報・付加情報 >

【提出日】	平成 1 5 年 7 月 2 5 日
-------	--------------------

特願 2 0 0 3 - 0 8 7 2 3 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所

特願 2 0 0 3 - 0 8 7 2 3 8

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ